


VERTRAG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES PATENTWESENS

PCT

INTERNATIONALER VORLÄUFIGER BERICHT ÜBER DIE PATENTIERBARKEIT

(Kapitel II des Vertrags über die internationale Zusammenarbeit auf dem Gebiet des Patentwesens)

Aktenzeichen des Anmelders oder Anwalts D7500044WO	WEITERES VORGEHEN siehe Formblatt PCT/IPEA/416	
Internationales Aktenzeichen PCT/DE2005/000268	Internationales Anmeldedatum (Tag/Monat/Jahr) 16.02.2005	Prioritätsdatum (Tag/Monat/Jahr) 20.02.2004
Internationale Patentklassifikation (IPC) oder nationale Klassifikation und IPC INV. H01L23/485 H01L23/482 H01L27/02 H01L29/417 H01L29/861		
Anmelder ZENTRUM MIKROELEKTRONIK DRESDEN AG		
<p>1. Bei diesem Bericht handelt es sich um den internationalen vorläufigen Prüfungsbericht, der von der mit der internationalen vorläufigen Prüfung beauftragten Behörde nach Artikel 35 erstellt wurde und dem Anmelder gemäß Artikel 36 übermittelt wird.</p> <p>2. Dieser BERICHT umfaßt insgesamt 4 Blätter einschließlich dieses Deckblatts.</p> <p>3. Außerdem liegen dem Bericht ANLAGEN bei; diese umfassen <i>12 Blätter</i></p> <p>a. <input type="checkbox"/> (an den Anmelder und das Internationale Büro gesandt) insgesamt Blätter; dabei handelt es sich um</p> <p><input type="checkbox"/> Blätter mit der Beschreibung, Ansprüchen und/oder Zeichnungen, die geändert wurden und diesem Bericht zugrunde liegen, und/oder Blätter mit Berichtigungen, denen die Behörde zugestimmt hat (siehe Regel 70.16 und Abschnitt 607 der Verwaltungsvorschriften).</p> <p><input type="checkbox"/> Blätter, die frühere Blätter ersetzen, die aber aus den in Feld Nr. 1, Punkt 4 und im Zusatzfeld angegebenen Gründen nach Auffassung der Behörde eine Änderung enthalten, die über den Offenbarungsgehalt der internationalen Anmeldung in der ursprünglich eingereichten Fassung hinausgeht.</p> <p>b. <input type="checkbox"/> (nur an das Internationale Büro gesandt) insgesamt (bitte Art und Anzahl der/des elektronischen Datenträger(s) angeben), der/die ein Sequenzprotokoll und/oder die dazugehörigen Tabellen enthält/enhalten, nur in elektronischer Form, wie im Zusatzfeld betreffend das Sequenzprotokoll angegeben (siehe Abschnitt 802 der Verwaltungsvorschriften).</p>		
<p>4. Dieser Bericht enthält Angaben zu folgenden Punkten:</p> <p><input checked="" type="checkbox"/> Feld Nr. I Grundlage des Berichts</p> <p><input type="checkbox"/> Feld Nr. II Priorität</p> <p><input type="checkbox"/> Feld Nr. III Keine Erstellung eines Gutachtens über Neuheit, erfinderische Tätigkeit und gewerbliche Anwendbarkeit</p> <p><input type="checkbox"/> Feld Nr. IV Mangelnde Einheitlichkeit der Erfindung</p> <p><input checked="" type="checkbox"/> Feld Nr. V Begründete Feststellung nach Artikel 35(2) hinsichtlich der Neuheit, der erfinderischen Tätigkeit und der gewerblichen Anwendbarkeit; Unterlagen und Erklärungen zur Stützung dieser Feststellung</p> <p><input type="checkbox"/> Feld Nr. VI Bestimmte angeführte Unterlagen</p> <p><input type="checkbox"/> Feld Nr. VII Bestimmte Mängel der internationalen Anmeldung</p> <p><input type="checkbox"/> Feld Nr. VIII Bestimmte Bemerkungen zur internationalen Anmeldung</p>		
Datum der Einreichung des Antrags 05.01.2006	Datum der Fertigstellung dieses Berichts 13.06.2006	
Name und Postanschrift der mit der internationalen vorläufigen Prüfung beauftragten Behörde  Europäisches Patentamt D-80298 München Tel. +49 89 2399 - 0 Tx: 523656 epmu d Fax: +49 89 2399 - 4465	Bevollmächtigter Bediensteter Kuchenbecker, J Tel. +49 89 2399-5733	



Feld Nr. I Grundlage des Berichts

1. Hinsichtlich der **Sprache** beruht der Bescheid auf

- ☒ der internationalen Anmeldung in der Sprache, in der sie eingereicht wurde.
- ☐ einer Übersetzung der internationalen Anmeldung in die folgende Sprache, bei der es sich um die Sprache der Übersetzung handelt, die für folgenden Zweck eingereicht worden ist:
 - ☐ internationale Recherche (nach Regeln 12.3 a) und 23.1 b))
 - ☐ Veröffentlichung der internationalen Anmeldung (nach Regel 12.4 a))
 - ☐ internationale vorläufige Prüfung (nach Regeln 55.2 a) und/oder 55.3 a))

2. Hinsichtlich der **Bestandteile*** der internationalen Anmeldung beruht der Bericht auf *(Ersatzblätter, die dem Anmeldeamt auf eine Aufforderung nach Artikel 14 hin vorgelegt wurden, gelten im Rahmen dieses Berichts als "ursprünglich eingereicht" und sind ihm nicht beigelegt)*:

Beschreibung, Seiten

1-10 eingegangen am 09.12.2005 mit Schreiben vom 05.12.2005

Ansprüche, Nr.

1-5 eingegangen am 09.12.2005 mit Schreiben vom 05.12.2005

Zeichnungen, Blätter

1/4-4/4 in der ursprünglich eingereichten Fassung

☐ einem Sequenzprotokoll und/oder etwaigen dazugehörigen Tabellen - siehe Zusatzfeld betreffend das Sequenzprotokoll

3. ☐ Aufgrund der Änderungen sind folgende Unterlagen fortgefallen:

- ☐ Beschreibung: Seite
- ☐ Ansprüche: Nr.
- ☐ Zeichnungen: Blatt/Abb.
- ☐ Sequenzprotokoll (*genaue Angaben*):
- ☐ etwaige zum Sequenzprotokoll gehörende Tabellen (*genaue Angaben*):

4. ☐ Dieser Bericht ist ohne Berücksichtigung (von einigen) der diesem Bericht beigelegten und nachstehend aufgelisteten Änderungen erstellt worden, da diese aus den im Zusatzfeld angegebenen Gründen nach Auffassung der Behörde über den Offenbarungsgehalt in der ursprünglich eingereichten Fassung hinausgehen (Regel 70.2 c)).

- ☐ Beschreibung: Seite
- ☐ Ansprüche: Nr.
- ☐ Zeichnungen: Blatt/Abb.
- ☐ Sequenzprotokoll (*genaue Angaben*):
- ☐ etwaige zum Sequenzprotokoll gehörende Tabellen (*genaue Angaben*):

* Wenn Punkt 4 zutrifft, können einige oder alle dieser Blätter mit der Bemerkung "ersetzt" versehen werden.

**INTERNATIONALER VORLÄUFIGER BERICHT
ÜBER DIE PATENTIERBARKEIT**

Internationales Aktenzeichen
PCT/DE2005/000268

Feld Nr. V Begründete Feststellung nach Artikel 35 (2) hinsichtlich der Neuheit, der erfinderischen Tätigkeit und der gewerblichen Anwendbarkeit; Unterlagen und Erklärungen zur Stützung dieser Feststellung

1. Feststellung

Neuheit (N)	Ja: Ansprüche 1-5
	Nein: Ansprüche
Erfinderische Tätigkeit (IS)	Ja: Ansprüche 1-5
	Nein: Ansprüche
Gewerbliche Anwendbarkeit (IA)	Ja: Ansprüche: 1-5
	Nein: Ansprüche:

2. Unterlagen und Erklärungen (Regel 70.7):

siehe Beiblatt

Zu Punkt V

Begründete Feststellung hinsichtlich der Neuheit, der erfinderischen Tätigkeit und der gewerblichen Anwendbarkeit; Unterlagen und Erklärungen zur Stützung dieser Feststellung

D1: US-A-5 594 266 (BEIGEL ET AL) 14. Januar 1997 (1997-01-14)

Anspruch 1:

Das Dokument D1 wird als nächstliegender Stand der Technik gegenüber dem Gegenstand des Anspruchs 1 angesehen. Es offenbart eine Anordnung mit einer Planardiode zum Schutz von Halbleiterschaltkreisen gegen elektrostatische Entladungen.

Der Gegenstand des Anspruchs 1 unterscheidet sich von dem aus D1 bekannten dadurch, dass in Anspruch 1 in einer gemeinsamen ersten Elektrode mehrere Planardioden mit jeweils einer zweiten Elektrode, die von der ersten Elektrode umschlossen werden, angeordnet sind. Der Gegenstand des Anspruchs 1 ist somit neu (Artikel 33(2) PCT).

Die mit der vorliegenden Erfindung zu lösende Aufgabe kann darin gesehen werden, dass parasitäre Ströme in benachbarte Schaltungsteile verhindert werden, welches eine Verbesserung des Latch-up-Verhaltens des Bauelements zur Folge hat. Dies wird gelöst, indem die äußere gemeinsame Elektrodenfläche ein geschlossenes Netzwerk darstellt. Im Dokument D1 findet sich kein Anreiz, ein Array aus mehreren Planardioden derart zu gestalten. Die in Anspruch 1 der vorliegenden Anmeldung für diese Aufgabe vorgeschlagene Lösung beruht aus diesem Grunde auf einer erfinderischen Tätigkeit (Artikel 33(3) PCT).

Ansprüche 2-5:

Die Ansprüche 2-5 sind vom Anspruch 1 abhängig und erfüllen damit ebenfalls die Erfordernisse des PCT in Bezug auf Neuheit und erfinderische Tätigkeit.

5

10 **Anordnung zum Schutz von Halbleiterschaltkreisen gegen**
 elektrostatische Entladungen

15 Die Erfindung betrifft eine Anordnung zum Schutz von Halbleiterschaltkreisen gegen elektrostatische Entladungen, mit einer Planardiode, bei der die Elektroden jeweils durch eine Vielzahl von Kontakten kontaktiert sind und die Kontakte über Metallschichten mit der Betriebsspannung, einem Ein-/Ausgangspad oder der Masse verbunden sind.

20 Sowohl im Fertigungsprozess als auch bei einem nachfolgenden Einbau in eine übergeordnete Schaltungsanordnung, sowie dem Betrieb der integrierten Schaltung, ist diese unvermeidbaren Umwelteinflüssen ausgesetzt, zu denen beispielsweise elektrostatische Entladungen (ESD = electrostatic discharge)
25 gehören.

30 Elektrostatische Ladungen entstehen durch Reibung zwischen verschiedenen Materialien und können Potentiale von mehreren kV auf einem Ladungsträger aufbauen. Bei einem Kontakt des Ladungsträgers, beispielsweise mit einem Pin des integrierten Bauelementes, fließt die gespeicherte Ladung im Nanosekundenbereich ab und erzeugt dabei kurzzeitig Ströme bis in den Amperebereich. Dieser Strom muss durch die ESD-Schutzschaltung und die entsprechenden Leiterbahnen abgeleitet
35 werden. Die Auslegung dieser Strombahn begrenzt den ESD-Schutz in der Weise, dass durch das Überschreiten einer zulässigen Stromdichte zum Entladungszeitpunkt eine Zerstörung von Teilen

der integrierten Schaltung infolge thermischer Überlastung entsteht. Da sich die Stromdichten der ESD-Entladung mit kleineren Strukturabmessungen vergrößern, gewinnt die ESD-Problematisierung mit zunehmender Integrationsdichte der integrierten Schaltungen an Bedeutung.

Eine aus dem Stand der Technik bekannte Maßnahme zum Schutz gegen elektrostatische Entladungen ist das Zuschalten von Schutzdioden zwischen das Ein-/Ausgangspad und dem Potential VDD sowie der Masse VSS. Die Zuschaltung erfolgt derart, dass die erste Schutzdiode mit der Kathode am Potential VDD und der Anode am Ein-/Ausgangspad und die zweite Schutzdiode mit der Kathode am Ein-/Ausgangspad und der Anode am Potential VSS angeschlossen ist.

Zur Einhaltung der Qualitätsanforderungen an moderne IC's existieren verschiedene Teststandards. Das zurzeit übliche Human-Body-Model-Testverfahren (HBM) wird mehr und mehr vom Charge-Device-Model-Testverfahren (CDM) abgelöst. Das CDM-Testverfahren stellt erhöhte Anforderungen an die Stromfestigkeit der ESD-Schutzelemente. Die Strombelastung ist etwa um den Faktor 10 größer als beim HBM-Test. Da die Zeitspanne des Stromimpulses beim CDM-Test kleiner als 1ns ist, findet praktisch eine adiabatische Erwärmung durch den Stromfluss statt. Somit wird für die Stromableitung bei einem CDM-Testverfahren mit 1kV Hochspannungsentladung wesentlich mehr Chipfläche benötigt als bei einem HBM-Testverfahren mit 4kV. Infolge dieses Mehrbedarfs an Chipfläche verliert man einen Teil der durch eine Strukturverkleinerung gewonnenen Chipfläche. Bei einem CDM-Testverfahren nimmt die Entladestromstärke durch eine Schutzdiode stark zu, was eine Vergrößerung der Diodenfläche zur Folge hat.

Mit der Zunahme der Stromstärke und der Strukturverkleinerung, welche eine höhere Integrationsdichte zur Folge hat, wird das Latch-up-Verhalten der Anordnung immer kritischer. Bedingt

durch die große, beispielsweise von einem Anodenring umgebene, Kathodenfläche wird ein Substratstrom erzeugt, der tief in das Substrat eindringt und somit nicht vollständig durch die Anode aufgenommen werden kann. Dieser Strom kann dann eine Fehlfunktion in benachbarten integrierten Strukturen auslösen.

Aus der US 5,594,266 ist eine Anordnung einer Schutzdiode zum Schutz von Halbleiterschaltkreisen gegen elektrostatische Entladungen bekannt, wobei die Anordnung aus einer Planardiode mit zwei Elektroden besteht bei der die Elektroden jeweils durch Kontakte kontaktiert sind und die Kontakte über Metallebenen mit der Betriebsspannung, einem Pad oder der Masse verbunden sind, wobei die Planardiode aus einer ersten inselförmigen Elektrode besteht, die von einer zweiten Elektrode umschlossen wird, und wobei die Kontakte der ersten Elektrode mit einer ersten Metallebene und die Kontakte der zweiten Elektrode mit einer zweiten Metallebene kontaktiert sind.

Der Nachteil dieser Anordnung besteht darin, dass infolge der hohen Anforderungen an die Schutzdiode (Strombelastung) eine größere Chipfläche für die Diode benötigt wird. Mit der Zunahme der Stromstärke und der Strukturverkleinerung, welche eine höhere Integrationsdichte zur Folge hat, wird aber das Latch-up-Verhalten der Anordnung immer kritischer. Bedingt durch die große, beispielsweise von einem Anodenring umgebene, Kathodenfläche wird ein Substratstrom erzeugt, der tief in das Substrat eindringt und somit nicht vollständig durch die Anode aufgenommen werden kann. Dieser Strom kann dann eine Fehlfunktion in benachbarten integrierten Strukturen auslösen.

Aus der US 6,518,604 ist eine Schutzdiode mit langen Anoden- und Kathodenstreifen bekannt. Diese Anordnung gewährleistet, dass der im Substrat entstehende Strom an der Oberfläche abgesaugt wird und nicht tief in das Substrat eindringen kann. Bei dieser Art der Diode ist der Stromfluss durch den

Diodenrand größer als der Strom durch die Grundfläche.

Der Nachteil dieser Anordnung besteht in einem erhöhten Flächenbedarf, da die Aufteilung in Diodenfinger infolge des notwendigen Abstands zwischen Anoden- und Kathodenkontaktgebieten zusätzliche Chipfläche erfordert. Außerdem werden die Randstücke der Diodenfinger nicht für die Stromableitung genutzt. Für lange Finger muss die Dimensionierung der Metallleitungen für die einzelnen Anoden- und Kathodenleitungen der Stromdichte angepasst werden. Diese Anpassung erfordert, unter der Einhaltung von Designregeln, einen weiteren Platzbedarf.

Aus der DE 197 46 620 ist eine Halbleiterdiode mit zwei Elektroden, die Kathode und Anode bilden bekannt, wobei mindestens eine der Elektroden gekrümmt ist, und die Oberfläche der anderen Elektrode höchstens 20% des Produkts aus Breite der anderen Elektrode und der inneren Randlänge der gekrümmten Elektrode beträgt.

Aus der US 2002/0088978 ist ein Verfahren zur Herstellung eines Substrates bekannt, welches in Reihen und Spalten angeordnete aktive Elemente enthält. Wobei jedes einzelne Element mit einem TFT-Transistor verbunden ist, welcher eine mit der zugehörigen Reihenleitung verbundene Gatterelektrode und mit der entsprechenden Reihenleitung verbundene Source- und Drain-Anschlüsse aufweist. Eine ESD-Schutzschaltung ist mit mindesten einer Reihenleitung zum Schutz des TFT-Transistors gegen elektrostatische Aufladung verbunden.

Der Erfindung liegt somit die Aufgabe zugrunde, eine Anordnung einer Schutzdiode zum Schutz von Halbleiterschaltkreisen gegen elektrostatische Entladungen zu schaffen, mit der ein verbesserter ESD-Schutz mit einer optimalen Chipflächennutzung und einem verbesserten Latch-up-Verhalten erreicht wird.

Gemäß der Erfindung wird die Aufgabe bei einer Anordnung einer Schutzdiode zum Schutz von Halbleiterschaltkreisen gegen elektrostatische Entladungen der eingangs genannten Art dadurch gelöst, dass in einer gemeinsamen ersten Elektrode mehrere Planardioden mit jeweils einer zweiten inselförmigen Elektrode, die von der ersten Elektrode umschlossen werden, angeordnet sind, dass die Kontakte der Elektrode mit einer ersten Metallebene und die Kontakte der Elektrode mit einer darüber liegenden zweiten Metallebene kontaktiert sind.

Die Realisierung von Dioden auf Wafern wird vorzugsweise in der Form einer Planardiode mit einem großen Flächenquerschnitt des pn-Übergangs ausgeführt. Gemäß der erfinderischen Lösung ist eine erste Elektrode in der Fläche der zweiten Elektrode eingebettet, wobei die inselförmige erste Elektrode beispielsweise eine kreisförmige oder rechteckige Form aufweist. Beide Elektroden sind jeweils mit verschiedenen darüber liegenden Metallebenen durch eine Vielzahl von Kontakten elektrisch leitend verbunden. Durch die Verwendung einer Vielzahl von parallel geschalteten, elektrisch leitenden Kontakten werden Widerstandsschwankungen der Einzelkontakte ausgeglichen und die Stromdichte in der Zuleitung reduziert.

In einer Ausgestaltung der Erfindung ist vorgesehen, dass mehrere Planardioden nebeneinander angeordnet sind.

In einer weiteren Ausgestaltung der Erfindung ist vorgesehen, dass mehrere Planardioden in einem Array angeordnet sind.

Diese Anordnung beispielsweise mehrerer Kathodeninseln in einer gemeinsamen Anodenfläche kann in einer Reihe, in einer Spalte, einer Kombination aus der Reihen- und der Spaltenanordnung sowie in der Form eines Arrays erfolgen.

In einer besonderen Ausführung der Erfindung ist vorgesehen, dass die Planardioden zu einer Funktionseinheit zusammengeschaltet sind.

Vorzugsweise sind die Planardioden in einer Parallelschaltung zu einer Schutzdiode, welche für eine zu einem zuverlässigen ESD-Schutz erforderlichen Strombelastung dimensioniert ist, zusammengeführt. Die so erzeugte Schutzdiode kann auch aus mehreren zusammengeschalteten Planardiodenreihen und/oder Planardiodenspalten oder mehreren Arrays bestehen.

Technologiebedingt wird zur Kontaktierung der Elektroden eine Vielzahl von Kontakten verwendet. Unter Beachtung des Leitungswiderstandes und der Strombelastbarkeit des Kontakts kann bei entsprechender Dimensionierung nur ein Kontakt, zur Verbindung einer Elektrode mit einer Metallebene, genutzt werden.

In einer Ausführung der Erfindung ist vorgesehen, dass die inselförmige Elektrode eine kreisförmige oder eine n-eckige Form aufweist.

Die Form der inselförmigen Elektrode kann beispielsweise an eine verwendete Herstellungstechnologie angepasst werden. Die Elektrode kann sowohl eine kreisförmige als auch eine eckige Form, mit einer beliebigen Eckenanzahl, aufweisen.

Die Erfindung soll nachfolgend anhand eines Ausführungsbeispiels näher erläutert werden. In den zugehörigen Zeichnungen zeigt

Fig. 1 eine ESD-Schutzschaltung mit zwei Schutzdioden aus dem Stand der Technik,

Fig. 2 eine Darstellung der untersten Layoutebene der erfindungsgemäßen Schutzdiode,

Fig. 3 eine Darstellung der Verbindung der Anoden- und Kathodenflächen mit der darüber liegenden ersten Metallebene,

Fig. 4 eine Darstellung der ersten Metallebene mit Via-Kontakten und

Fig. 5 eine Darstellung der zweiten Metallebene mit Via-Kontakten.

In der Figur 1 ist eine ESD-Schutzschaltung mit zwei Schutzdioden 1 aus dem Stand der Technik dargestellt. Mit dieser Anordnung wird die interne Schaltung 2 vor elektrostatischen Entladungen an einem der Input-PAD's 3 geschützt. Die erfinderische Lösung kann in beiden Schutzdioden 1 Anwendung finden.

Einen für eine Flächenoptimierung verbesserten Diodenentwurf, einer als Planardiode ausgeführten Diode, erzielt man, wenn die Diode nicht in Anoden- und Kathodenstreifen unterteilt, sondern eine Anodenfläche 4 mit einer darin eingebetteten Kathodeninseln 5 verwendet wird. Eine Anordnung der Planardiode mit einer Anodeninsel in einer Kathodenfläche ist ebenfalls möglich. Mit dieser Lösung kann die Fläche der Kathodeninsel 5, die Anodenfläche 4, der Rand der Kathodeninsel 5, die Anzahl der Kontakte 6 sowohl in der Kathodeninsel 5 als auch in der Anodenfläche 4 und die Metallbahnbreiten so optimal aufeinander abgestimmt werden, dass bei einer Zusammenschaltung mehrerer Planardioden zu einer Schutzdiode 1 jedes Planardiodeelement der gleichen Strombelastung standhält. Durch die Wahlmöglichkeiten in Bezug auf Form und Größe der Insel 5 kann ein flächenoptimierter Entwurf gefunden werden. Durch die Unterteilung der Schutzdiode 1 in kleine Teilflächendiode wird ein signifikanter Substratstrom zu benachbarten Chipelementen verhindert. Je nach vorhandenem Platz im Layout kann die Struktur, der aus mehreren Planardioden bestehenden Schutzdiode 1, quadratisch, rechteckig oder in mehrere Teilstrukturen aufgeteilt ausgeführt werden.

Gemäß der erfinderischen Lösung ist die Kathodeninsel 5 in einer achteckigen Form mit Winkeln von jeweils 45 Grad ausgeführt. Eine andere geometrische Form, beispielsweise eine

kreisförmige oder quadratische Form, ist ebenfalls möglich. Zur Gewährleistung eines gleichmäßig verteilten Stromflusses durch alle Inseln 5 ist deren Größe, geometrische Form, die Einbettung und die Kontaktierung 6 der Inseln 5 jeweils gleich auszuführen. Pro Insel 5 werden beispielsweise 10 Kontakte 6 verwendet, um Widerstandsschwankungen der Kontakte 6 auszugleichen. Die Stromzuleitung zu den Inseln 5 erfolgt über Kontakte 6 zu einer darüber liegenden ebenfalls inselförmigen Metallplatte in der ersten Metallebene 7 und nachfolgend weiter über Via's zu einer darüber liegenden zweiten Metallebene 8, in der die Teilströme der Inseln 5 zusammengefasst werden. Somit ist gewährleistet, dass der Gesamtdurchlassstrom gleichmäßig auf alle parallel geschalteten Inseln 5 aufgeteilt wird. Da sich die zweite Metallebene 8 großflächig über die gesamte Diodenfläche erstreckt, stellt die Stromdichte in dieser Metallebene 8 keine Begrenzung für den möglichen Strom durch die Dioden dar. Die Elektrodenfläche 4, in der die Inseln 5 eingebettet werden, füllt die Gebiete zwischen den Inseln 5, unter Einhaltung minimaler Designregeln aus. Dabei muss beispielsweise die Anodenfläche 4 mindestens gleich groß der Summe der Kathodeninselfläche sein, damit keine Substratströme zu anderen Chipelementen auftreten können. Weiterhin muss die Verteilung der Kathodeninseln 5 zum Rand der Anodenfläche 4 abnehmen, um die Stromdichte in der ersten Metallebene 7, welche die Anodenzuleitung darstellt, annähernd konstant zu halten. Die Anbindung der Anodenfläche 4 erfolgt ebenfalls durch Kontakte 6 zu der ersten Metallebene 7, wobei eine Überlappung der Metallebene 7 an den Außenseiten notwendig ist, und dadurch ein vierseitiger Anschluss der Anodenfläche 4 über die erste Metallebene 7 an eine zugehörige Leitung möglich wird.

In den Figuren 2 bis 5 ist eine Umsetzung der erfindungsgemäßen Anordnung in verschiedenen, übereinander liegenden Layoutebenen dargestellt. Die unterste Ebene ist in der Figur 2 dargestellt. In dieser Ebene sind die Kathodeninseln 5 und die Anodenfläche 4 im Siliziumsubstrat dargestellt. Sowohl die Kathodeninseln 5 als auch die Anodenfläche 4 sind mit Kontaktstüpseln 6 für den

Anschluss an die erste Metallebene 7 bestückt.

In der Figur 3 ist die Verbindung der Kathodeninseln 5 und der Anodenfläche 4 mit der darüber liegenden ersten Metallebene 7 dargestellt. Alle Anodenanschlüsse werden auf eine gemeinsame Metallplatte in der ersten Metallebene 7 geführt, die dann an allen Seitenrändern beispielsweise mit dem GND-Bus verbunden wird. Die Metallflächen über den Inseln 5 sind in der ersten Metallebene 7 sowohl zueinander als auch gegenüber der restlichen Metallfläche der gleichen Ebene isoliert und werden durch Kontakte 6 von der ersten Metallebene 7 nach oben zu der darüber liegenden zweiten Metallebene 8 verbunden. Derartige Kontakte 6 werden auch als Via's bezeichnet.

In der Figur 4 ist die erste Metallebene 7 mit den Via-Kontakten dargestellt. Diese Via-Kontakte werden dann mit der zweiten Metallebene 8 verbunden.

In der Figur 5 ist die zweite Metallebene 8 mit den verbundenen Via-Kontakten dargestellt. Diese Metallebene 8 wird hinreichend groß dimensioniert, so dass sie keine Schädigung nach einer Strombelastung durch eine elektrostatische Entladung aufweist. Die Anbindung, beispielsweise an ein Input-PAD, erfolgt über diese Metallebene 8.

25

5

10 **Anordnung zum Schutz von Halbleiterschaltkreisen gegen
elektrostatische Entladungen**

Bezugszeichenliste

- 15 1 Schutzdiode
 2 Interne Schaltung
 3 Input PAD
 4 Anodenfläche
 5 Kathodeninsel
20 6 Kontakt
 7 erste Metallebene
 8 zweite Metallebene

25

5

10 **Anordnung zum Schutz von Halbleiterschaltkreisen gegen
elektrostatische Entladungen**

Patentansprüche

- 15 1. Anordnung zum Schutz von Halbleiterschaltkreisen gegen
elektrostatische Entladungen, mit einer Planardiode mit
zwei Elektroden, bei der die Elektroden jeweils durch eine
Vielzahl von Kontakten kontaktiert sind und die Kontakte
über Metallebenen mit der Betriebsspannung, einem PAD oder
20 der Masse verbunden sind, **dadurch gekennzeichnet**, dass in
einer gemeinsamen ersten Elektrode (4) mehrere
Planardioden mit jeweils einer zweiten inselförmigen
Elektrode (5), die von der ersten Elektrode (4)
umschlossen werden, angeordnet sind, dass die Kontakte (6)
25 der Elektrode (5) mit einer ersten Metallebene (7) und die
Kontakte (6) der Elektrode (4) mit einer darüber liegenden
zweiten Metallebene (8) kontaktiert sind.
- 30 2. Anordnung nach Anspruch 1, **dadurch gekennzeichnet**, dass
mehrere Planardioden nebeneinander angeordnet sind.
- 35 3. Anordnung nach Anspruch 1, **dadurch gekennzeichnet**, dass
mehrere Planardioden in einem Array angeordnet sind.
4. Anordnung nach Anspruch 2 und 3, **dadurch gekennzeichnet**,
dass die Planardioden zu einer Funktionseinheit
zusammengeschaltet sind.

5. Anordnung nach Anspruch 1, **dadurch gekennzeichnet**, dass die inselförmige Elektrode (5) eine kreisförmige oder eine n-eckige Form aufweist.